

FOR

PTO: 2004-5460

Japanese Published Unexamined (Kokai) Patent Publication No. S57-24168; Publication Date: February 8, 1982; Application No. S55-99207; Application Date: July 18, 1980; Int. Cl.<sup>3</sup>: H04N 1/40 G06F 15/20 G06K 9/36; Inventor: Koichi Ejiri; Applicant: Ricoh Co., Ltd.; Japanese Title: Konboryuusyōn Shori Kairo (Convolution Processor Circuit)

---

## Specification

### Title of Invention

Convolution Processor Circuit

### 2. Claim

A convolution processor circuit that performs a filtering based on a convolution calculation using a correction function according to the dimension of a transmission function at a signal transmission system, characterized in that the correction function according to the dimension of the transmission function is developed in a small range of dimension in advance; separately determined filters are serially arranged at multiple stages.

### Detailed Description of the Invention

This invention pertains to a convolution processor circuit that performs a filtering of an image signal to improve the recovery of the original image.

For example, when an image signal read by scanning and sampling the original image on the input side at a pixel unit as in an image input/output device such as a facsimile is transmitted to the output side, the image signal is made smooth due to an

BEST AVAILABLE COPY

effect of the transmission function of the transmission system. Because of this, a reception signal needs to be corrected on the output side to recover to the original image signal by applying a convolution.

More specifically, as shown in Fig.1 (a), an input signal  $f(t)$  is smoothed to a signal as indicated by  $g(t)$  on the output end due to an effect of a transmission function  $h(u)$  of the transmission system. The relation between these functions is indicated by the following formula:

$$g(t) = \int_{-\infty}^{\infty} h(u) \cdot f(t-u) du \quad \dots (1)$$

In order to recover the smoothed signal  $g(t)$  to the original signal, an arithmetic process as indicated in the following formula is executed using a correction function  $c(u)$ :

$$\hat{f}(t) = \int_{-\infty}^{\infty} c(u) \cdot g(t-u) du \quad \dots (2)$$

In this case,  $\hat{f}(t)$  represents a recovery signal.

If the signals  $f(t)$  and  $g(t)$  are quantified digital signals, the relation between the formulas (1) and (2) is given by the following formulas:

$$g(i, j) = \sum_{k=-M}^M \sum_{l=-N}^N h(k, l) \cdot f(i+k, j+l) \quad \dots (3)$$

$$\hat{f}(i, j) = \sum_{k=-M'}^{M'} \sum_{l=-N'}^{N'} c(k, l) \cdot g(i+k, j+l) \quad \dots (4)$$

The arithmetic process based on the formulas (1) to (4), more specifically, a multiplication operation of the signals on a time axis is called a convolution by filtering. A convolution signal is usually indicated by “\*.”

When the convolution process is carried out, as the dimension of the transmission function  $h(u)$  becomes larger as shown in Fig.1 (b), the range of the correction function

$c(u)$  is expanded more. Thereby, correction ranges  $M'$  and  $N'$  of the smoothed signal  $g(i, j)$  become larger at the application of the formula (4).

Fig.2 (a) and (b) indicate an example of the transmission function  $h$  corresponding to the formula (3) and an example of the correction function  $c$  corresponding to the formula (4), respectively.

A circuit structure as shown in Fig.3 is conventionally used so as to execute this type of convolution in detail.

More specifically, by shifting digital image signals DBS each by a single pixel portion, which are successively coming from the outside at a pixel unit, at a shift register unit comprising shift registers  $SR_{11}$  to  $SR_{MM}$  by a portion of a single pixel with a  $M \times M$  structure and line shift registers  $LSR_1$  to  $LSR_{M-1}$  for a single line delay, image information within a specific pixel region is extracted in a part comprising the shift registers  $SR_{11}$  to  $SR_{MM}$ . An arithmetic process according to the formula (4) is executed at a computer OPC (in this case, it is set at  $M'=M$  and  $N'=M$ ) based on each content (refer to Fig.2 b) of data  $g(i+k, j+l)$  relating to the concentration level of each extracted pixel and a correction function  $c(k, l)$  stored in a memory ROM in advance.

In detail, at the computer OPC, the product of the data content of the shift register  $SR_{11}$  and a correction value at  $c(1, 1)$ , the product of the data content of a shift register  $SR_{12}$  and a correction value at  $c(1, 2)$ , and similarly all the products of the data contents of respective shift registers  $SR$  and values of correction functions  $c(k, l)$  presented at address corresponding to the data contents are obtained. Adding these results, a processing signal  $\hat{f}(i, j)$  is output.

However, at the convolution process using these circuit components, when the dimension  $M \times M$  of the transmission function  $h(K, l)$  is large, the arithmetic size at the computer OPC increases according to the dimension to complicate the circuit components, increase the processing period, and to increase the capacity of the memory ROM.

The present invention is produced in consideration of these disadvantages and to offer a convolution processor circuit that is capable of setting the application range as needed by properly combining multiple units according to the dimension of the transmission function and of realizing a high speed processing by simplifying the entire circuit components.

A working example of the invention is described hereinbelow with reference to the attached drawings.

If the formula (4) is represented by convolution symbols, the following formula is given:

$$\hat{f} = g * c \quad \dots (5)$$

The correction function  $c$  becomes the following formula:

$$c = c_1 * c_2 * c_3 * \dots * c_n \quad \dots (6)$$

Therefore, when the formula (5) is substituted for the formula (6), the signal  $\hat{f}$  can be rewritten so as to be the following formula:

$$\begin{aligned} \hat{f} &= g * (c_1 * c_2 * c_3 * \dots * c_n) \\ &= ((\dots ((g * c_1) * c_2) * \dots) * c_n) \dots (7) \end{aligned}$$

In other words, the function  $c$  of the formula (5) having a larger dimension can be represented by a function  $c_1, c_2, c_3 \dots$  or  $c_n$  having a smaller dimension as shown in the formula (7).

Focusing on this point, the convolution processor circuit of the invention executes the arithmetic process based on the formula (7) by serially arranging smaller filters having correction functions  $c_x$  ( $x=1, 2, 3, \dots, n$ ) with a smaller dimension at  $n$  stages, which are obtained by dividing a single convolution filter with a large correction function  $c$  dimension into  $n$  pieces.

Fig.4 illustrates an example of the components of the convolution processor circuit by the invention. In this case, a single processor  $P$  (a small filter) is constituted such that the correction range of the smoothed signal  $g(i, j)$  becomes a pixel region with a  $3 \times 3$  structure. Multiple processors  $P_1$  to  $P_n$  are serially connected at multiple stages.

More specifically, each processor  $P$  is comprised of the following components: a shift register unit consisting of shift registers  $SR_{11}$  to  $SR_{33}$  each by a single pixel portion, which extract digital image information in a specific pixel region with a  $3 \times 3$  structure and line shift registers  $LSR_1$  and  $LSR_2$ ; a memory ROM wherein a correction function  $c(k, l)$  according to the correction range with the  $3 \times 3$  structure is stored in advance; and a computer OPC that performs a calculation obtain the sum of products for the aforementioned convolution according to the data  $g(i+k, j+l)$  pertaining to the concentration level of each extracted pixel. When such a standardized processor with the same constitution is serially provided at multiple numbers, a wide range of application is possible.

At the time, the content of each memory ROM<sub>1</sub> to ROM<sub>n</sub> within each processor P<sub>1</sub> to P<sub>n</sub>, more specifically, the value of each correction function c<sub>1</sub> to c<sub>n</sub> at the formula (7) is determined as described below according to the number n of the processors P to be used.

If c<sub>1</sub> to c<sub>n</sub> are defined as correction filters with the 3 x 3 structure, c<sub>1</sub> \* c<sub>2</sub> \* c<sub>3</sub> \* ... \* c<sub>n-1</sub> become a filter having a size of (2n-1) x (2n-1). If the element of this filter is indicated by  $a_{i,j}^{(2n-1)}$  and if the element of c<sub>n</sub> by  $a_{i,j}^{(3)}$ , the following formula is established:

$$a_{i,j}^{(2n+1)} = \sum_{k=1}^3 \sum_{l=1}^{2n-1} a_{k,l}^{(3)} \cdot a_{-3+1+k, -3+j+l}^{(2n-1)} \quad \dots (8)$$

Relations  $1 \leq i \leq 2n+1$  and  $1 \leq j \leq 2n+1$  are obtained. If m and n of  $a_{i,j}^{(2n-1)}$  take values except for 1 to 2n-1,  $a_{m,n}^{(2n-1)} = 0$  is defined.

Accordingly, by lowering a dimension 2n+1 of the filter to a dimension 2n-1 and further continuously apply a similar procedure using the formula (8), a numerical value of each filter of c<sub>1</sub> to c<sub>n</sub> at the formula (7) is obtained.

Fig.5 illustrates numerical values of filters when the correction function c of Fig.2 (b) is developed into correction functions c<sub>1</sub> and c<sub>2</sub> with two dimensions.

When the data signal smoothed with the transmission function at the signal transmission system is recovered at the convolution process, the convolution processor circuit of the invention the small filters having the small range of correction functions in advance are serially arranged at multiple stages as needed according to the dimension of

the transmission function, in lieu of the single convolution filter having the correction function according to the transmission function, thereby giving the same function. These small filters are standardized to simplify the entire circuit structure, thereby simplifying the arithmetic content at each small filter to achieve a high speed processing.

#### Brief Description of the Drawings

Fig.1 (a) and (b) individually illustrate a convolution process according to the dimension of a transmission function at a signal transmission system in the form of a wave. Fig.2 (a) illustrates an example of the transmission function, and Fig.2 (b) an example of a correction function. Fig.3 is a block diagram illustrating prior art convolution processor circuit. Fig.5 is a block diagram illustrating a convolution processor circuit as in a working example of the invention. Fig.5 illustrates each correction function when the correction function of Fig.2 (b) is developed into two dimensions.

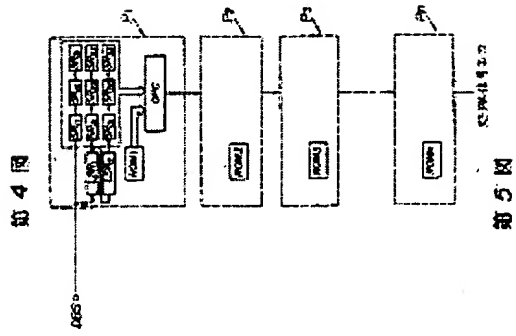
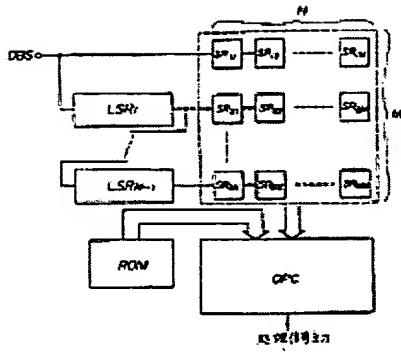
SR...Shift register

LSR...Line shift register

OPC...Computer

P...Processor (small filter)

第 3 图



第 5 图

$$C_1 = \begin{pmatrix} -0.01 & 0.024 & -0.01 \\ 0.024 & -0.01 & 0.01 \\ 0.024 & -0.01 & -0.01 \end{pmatrix} \quad C_2 = \begin{pmatrix} 0.01 & 0.024 & 0.01 \\ 0.024 & 0.01 & 0.024 \\ 0.01 & 0.024 & 0.01 \end{pmatrix}$$

U.S. Patent and Trademark Office  
Translations Branch  
9/16/04  
Chisato Morohashi

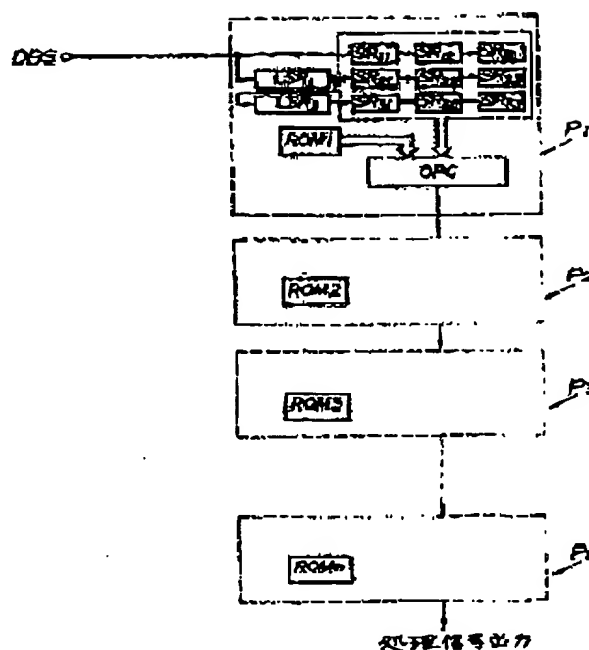


**CONVOLUTION PROCESSING CIRCUIT**

Patent number: JP57024168  
Publication date: 1982-02-08  
Inventor: EJIRI KOICHI  
Applicant: RICOH CO LTD  
Classification:  
- international: H04N1/40; G06F15/20; G06K9/36  
- european:  
Application number: JP19800099207 19800718  
Priority number(s):

**Abstract of JP57024168**

**PURPOSE:** To make the applied range free, by making a convolution processing circuit unit and suitably combining a plurality of units according to the spread of transfer functions.  
**CONSTITUTION:** A plurality of processors P1-Pn are in series connection with multistage. Each processor consists of a shift register section which consists of shift registers SR11-SR33 and line shift registers LSR1, LSR2 for one video element's share picking up a digital video information in, e.g., 3X3 constitution specific video element area, memory ROM stored with correction function according to the correcting mage of 3X3 constitution, and operation device OPC performing the product sum operation for the convolution according to the data relating to the density level of each video element picked up at the shift registers SR11-SR13 and to the memory content. The application with a broad range can be made by providing the processors in series by the number required for the spread of a transfer function.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭57-24168

⑮ Int. Cl.<sup>3</sup>

H 04 N 1/40

G 06 F 15/20

G 06 K 9/36

識別記号

1 0 1

1 0 3

庁内整理番号

7136-5C

7622-5B

7157-5B

⑰ 公開 昭和57年(1982)2月8日

発明の数 1

審査請求 未請求

(全 5 頁)

⑱ コンボリユーション処理回路

6号株式会社リコー内

⑲ 特 願 昭55-99207

⑳ 出 願 昭55(1980)7月18日

㉑ 発 明 者 江尻公一

東京都大田区中馬込1丁目3番

㉒ 出 願 人 株式会社リコー

東京都大田区中馬込1丁目3番  
6号

㉓ 代 理 人 弁理士 島井清

明 細 書

発明の名称 コンボリユーション処理回路

特許請求の範囲

信号伝達系における伝達関数の広がりに応じた補正関数を用いてコンボリユーション演算によるフィルタリングを行なわせるものにおいて、予めその伝達関数の広がりに応じた補正関数を小範囲のディフュージョンで説明させてそれぞれ決定した小フィルタを多数に直列に配設するようにしたことを特徴とするコンボリユーション処理回路。

発明の詳細な説明

本発明は、伝達系の復元性を良くするための周知信号のフィルタリング処理を行なわせるコンボリユーション処理回路に関する。

一般に、例えばフアクシミリなどの図像入出力装置において、入力側で原稿画像を画素単位で走査、サンプリングすることによって生成した画像

信号をその出力側へ送る際、その伝達系の伝達関数の影響によって画像信号が平滑化されてしまい、そのため出力側で受信信号を補正しても元の画像信号に復元させるコンボリユーションを行なわせる必要がある。

すなわち、第1図(a)に示すように、入力信号  $f(t)$  は伝達系の伝達関数  $h(u)$  の影響によって出力側で  $g(t)$  に示されるような信号に平滑化されてしまう。これら各関数の関係は、式によって表される。

$$g(t) = \int_{-\infty}^{\infty} h(u) \cdot f(t-u) du \quad \dots (1)$$

このような平滑化された信号  $g(t)$  をもとの信号  $f(t)$  に復元させるには、補正関数  $c(u)$  を用いて式(1)の逆演算を行なわせるようにしている。

$$\hat{f}(t) = \int_{-\infty}^{\infty} c(u) \cdot g(t-u) du \quad \dots (2)$$

ここで、 $\hat{f}(t)$  は復元信号を表している。

また、前記信号  $f(t)$  および  $g(t)$  が量子化されたデジタル信号であれば、(1)、(2)式の関係はそれぞれ式によって与えられることになる。

$$g(i, j) = \sum_{k=0}^{M-1} \sum_{l=0}^{N-1} g(k, l) \cdot f(i+k, j+l) \quad \dots(3)$$

$$\hat{g}(i, j) = \sum_{k=0}^{M'} \sum_{l=0}^{N'} c(k, l) \cdot g(i+k, j+l) \quad \dots(4)$$

このような(1)~(4)にしたがう復算処理、すなわち時間軸上での信号の相操作をフィルタリングによるコンボリューションと呼び、通常コンボリューション記号を「\*」で表している。

また、このようなコンボリューション処理を行なわせるに際して、第1図(b)に示すように、低通関数 $h(k, l)$ の広がりが大きくなると、それに応じて補正関数 $c(k, l)$ の範囲も広がり、前記(4)式の適用時には平滑化された信号 $g(i, j)$ の補正関数 $c(k, l)$ が大きくなってしまふ。

なお、第2図(a)は図式に対応する低通関数 $h$ の1例を、また同図(b)は(4)式に対応する補正関数 $c$ の1例をそれぞれ示している。

従来、この種のコンボリューションを具体的に実行させるため、第3図に示すような回路構成によるものが用いられている。

すなわち、外部から画素単位で順次送られてく

それらの結果を加算して処理信号 $\hat{g}(i, j)$ を出力させることになる。

しかし、このような回路構成によつてコンボリューション処理を行なわせるようにすると、低通関数 $h(k, l)$ の広がり $M \times N$ が大きいたまにはそれに応じて演算器OPCにおける演算量が増大してその回路構成が複雑化するばかりでなく、その処理時間が長くなってしまふとともに、メモリROMの容量が増大してしまうという問題がある。

本発明はこのような点を考慮してなされたもので、コンボリューション処理回路をユニファイド化し、低通関数の広がりに応じて複数のユニットを適宜組合せるようにすることにより適用範囲を自在にすることができるとともに、全体の回路構成を単純化して高速度処理を実現させることができるとしたコンボリューション処理回路を提供するものである。

以下、添付図面を参照して本発明の一実施例について述べる。

# 特開昭57-24168(2)

るデジタル画像信号DBSを $M \times N$ 画素の各1画素分のシフトレジスタSR<sub>11</sub> ~ SR<sub>MN</sub> および1ライン送信用のラインシフトレジスタLSR<sub>1</sub> ~ LSR<sub>M-1</sub> からなるシフトレジスタ部で1画素分ずつ逐次シフトさせることにより、そのシフトレジスタSR<sub>11</sub> ~ SR<sub>MN</sub> からなる部分に特定画素領域内における画素情報を抽出させ、その抽出された各画素の画素レベルに附するデータ $g(i+k, j+l)$ とメモリROMに予め記憶させている補正関数 $c(k, l)$ の各内容(第2図・b参照)とにもとづき、演算器OPCにおいて前記(4)式にしたがう復算処理を行なわせるように構成されている(ここでは $M' = M$ ,  $N' = N$ として設定している)。具体的には、その演算器OPCにおいて、シフトレジスタSR<sub>11</sub>のデータ内容と $c(1, 1)$ における補正值との積、シフトレジスタSR<sub>11</sub>のデータ内容と $c(1, 2)$ における補正值との積、以下同様に $M \times N$ の領域内における各シフトレジスタSRのデータ内容とそれに対応するアドレスにある補正関数 $c(k, l)$ の値との積を全て求め、

いま、前記(4)式をコンボリューション記号を用いて表すと、次式によつて与えられる。

$$\hat{g} = g * c \quad \dots(5)$$

また、補正関数 $c$ は次式のようになる。

$$c = c_1 * c_2 * c_3 * \dots * c_n \quad \dots(6)$$

したがつて、(6)式を(5)式に代入すれば、復元信号 $\hat{g}$ を次式のように書き換えることが可能になる。

$$\hat{g} = g * (c_1 * c_2 * c_3 * \dots * c_n)$$

$$= ((\dots ((g * c_1) * c_2) * \dots) * c_n) \quad \dots(7)$$

すなわち、(5)式の大きいダイメンジョンをもつた関数 $c$ を(7)式のように小さいダイメンジョンをもつた関数 $c_1, c_2, c_3, \dots, c_n$ で表すことができることになる。

本発明によるコンボリューション処理回路は、この点に着目して、大きな補正関数 $c$ の広がりをもつた1つのコンボリューションフィルタの代わりに、それを $n$ 分割した小さな広がりを持つ補正関数 $c_k$  ( $k = 1, 2, 3, \dots, n$ )をもつた $n$ フィルタを $n$ 段に直列に配することによつて、前記(7)式

にちとづく演算処理を実行させるようにしたものである。

第4図は本発明によるコンボリユーシヨン処理回路の一実施例を示すもので、この場合は1つのプロセッサP（小フィルタ）として、平滑化された信号 $g(i, j)$ の補正回路が $3 \times 3$ 構成の回路領域となるように設定したもので、複数のプロセッサ $P_1 \sim P_n$ を多数に直列接続させるようにしている。

すなわち、各プロセッサPはそれぞれ $3 \times 3$ 構成の特定回路領域におけるデジタル画像情報を抽出する各1画素分のシフトレジスタ $SR_{11} \sim SR_{13}$ およびラインシフトレジスタ $LSR_{11}, LSR_{12}$ からなるシフトレジスタ部と、 $3 \times 3$ 構成の補正回路に近した補正関数 $c(k, l)$ が予め記憶されたメモリROMと、そのメモリ内容とシフトレジスタ $SR_{11} \sim SR_{13}$ にそれぞれ抽出された各画素の隣接レベルに関するデータ $g(i+k, j+l)$ とに応じて前述のコンボリユーシヨンのための補和演算を行なわせる演算器OPCとからなつてお

したがつて、(b)式を利用して、フィルタのディメンジョン $2n+1$ を $2^{n-1}$ に下げ、さらに同様の手順を繰り返して行なわせることによつて前記(b)式における $c_1 \sim c_n$ の各フィルタの数値が求められる。

なお、第5図は第2図(a)に示した補正関数 $c$ を2つの小ディメンジョンの補正関数 $c_1, c_2$ に展開したときの各フィルタの数値をそれぞれ示している。

以上、本発明によるコンボリユーシヨン処理回路にあつては、信号伝送系における伝送関数によつて平滑化されたデータ信号をコンボリユーシヨン処理によつて復元させる際、その伝送関数の広がりに応じて補正関数を有する1つのコンボリユーシヨンフィルタの代わりに、予め小範囲での補正関数をもたせた小フィルタをその伝送関数の広がりに応じて逐次多数に直列に接続させることにより同一の処理を繰り返すことができるようにしたもので、それら各小フィルタを規格化させることができ全体回路構成が単純化されるとも

#### 特開57-24168(9)

り、このような規格化された同一構成のプロセッサを伝送関数 $h(k, l)$ の広がりに応じて必要な数だけ直列的に接続すれば広範囲での適用が可能となる。

その際、使用するプロセッサPの数 $n$ に応じて、それぞれのプロセッサ $P_1 \sim P_n$ 内における各メモリROM1 → ROMBの内容すなわち(b)式における各補正関数 $c_1 \sim c_n$ の値を以下のようにして決定する。

いま、 $c_1 \sim c_n$ をそれぞれ $3 \times 3$ 構成の補正フィルタとすると、 $c_1 * c_2 * c_3 * \dots * c_{n-1}$ は $(2n-1) \times (2n-1)$ の大きさのフィルタとなる。このフィルタの要素を $c_{(i,j)}$ で表し、 $c_{(i,j)}$ の要素を $c_{(i,j)}$ で表すと、次式が成立するようになる。

$$c_{(i,j)} = \sum_{k=1}^{2n-1} \sum_{l=1}^{2n-1} c_{(i-k, j-l)} \cdot c_{(k, l)} \quad (6)$$

ただし、 $1 \leq i \leq 2n+1$ 、 $1 \leq j \leq 2n+1$ であり、また $c_{(0,0)}$ の値は $c_{(0,0)} = 2n-1$ 以外の値をとるときには $c_{(0,0)} = 0$ とする。

に、各小フィルタでの演算内容が簡明になるよう演算処理を行なわせることができるようにしたという点に利点を有している。

#### 図面の簡単な説明

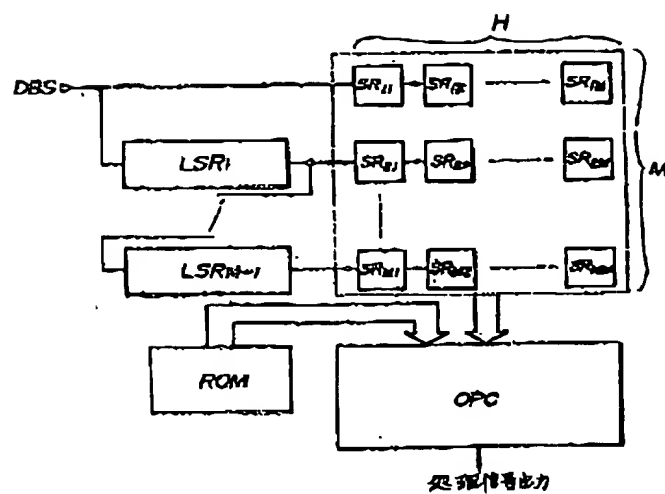
第1図(a)、(b)はそれぞれ信号伝送系における伝送関数の広がりに応じてコンボリユーシヨン処理回路を成形的に示す図、第2図(a)は伝送関数の一例を示す図、同図(b)は補正関数の一例を示す図、第3図は従来のコンボリユーシヨン処理回路のブロック構成図、第4図は本発明の一実施例によるコンボリユーシヨン処理回路を示すブロック構成図、第5図は第2図(b)に示す補正関数を2つの小ディメンジョンに展開させたときの各補正関数をそれぞれ示す図である。

SR …シフトレジスタ LSR …ラインシフトレジスタ OPC …演算器 P …プロセッサ（小フィルタ）

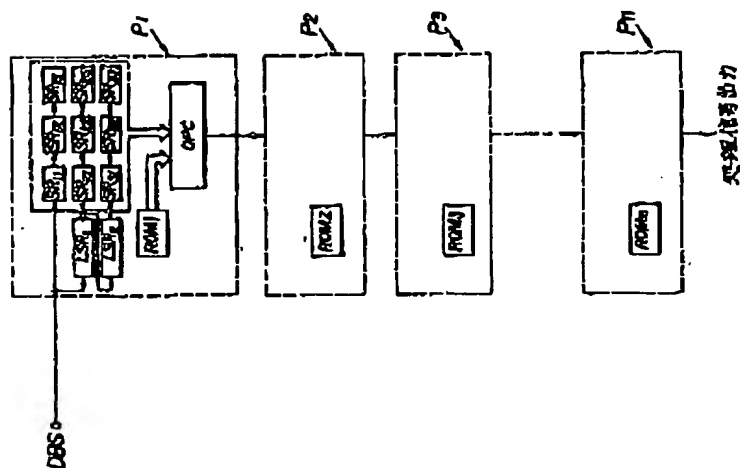
出願人代理人 島 井 南

特願昭57-24168(4)

第3図



第4図

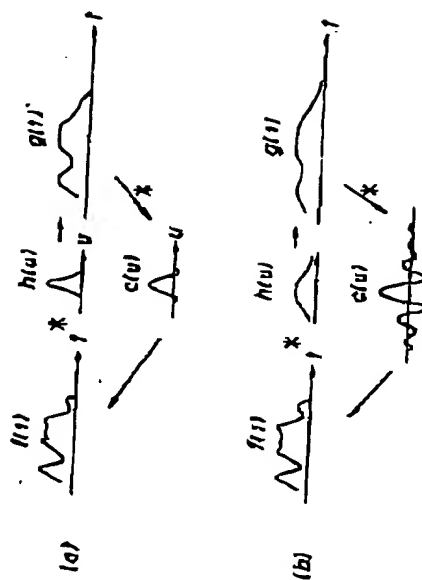


第5図

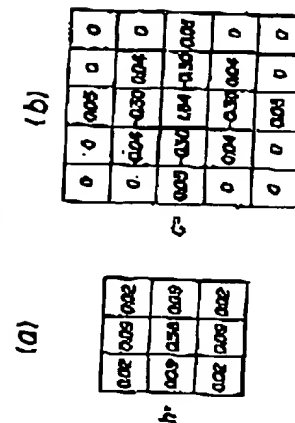
$$C_1 = \begin{pmatrix} -0.01 & 0.224 & -0.01 \\ 0.224 & -1.67 & 0.224 \\ -0.01 & 0.224 & -0.01 \end{pmatrix} \quad C_2 = \begin{pmatrix} 0.01 & 0.224 & 0.01 \\ 0.224 & 1.01 & 0.224 \\ 0.01 & 0.224 & 0.01 \end{pmatrix}$$

特開印57-24168(5)

第1図



第2図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**